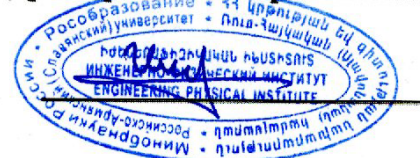


ГОУ ВПО РОССИЙСКО-АРМЯНСКИЙ (СЛАВЯНСКИЙ)
УНИВЕРСИТЕТ

Составлен в соответствии с
государственными требованиями к
минимуму содержания и уровню
подготовки выпускников по
направлению Электроника и
нанoeлектроника и Положением «Об
УМКД РАУ».

УТВЕРЖДАЮ:

Директор ИФИ Саркисян А.А.



21.07.2023г.

Институт: Инженерно-физический

Кафедра: Микроэлектронные схемы и системы

Автор: *К.т.н., доцент Сагателян Анна Карписовна*

УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС

Дисциплина: **Б1.О.05 «Макетирование микроэлектронных средств»**

Направление: **11.04.04 «Электроника и наноэлектроника»**

Основная образовательная программа магистратуры:
«Микроэлектронные схемы и системы»

ЕРЕВАН

Структура и содержание УМКД

1. Аннотация

1.1. Выписка из ФГОС ВО РФ по минимальным требованиям к дисциплине

В результате изучения дисциплины «Макетирование микроэлектронных средств» обучающийся должен:

- **знать:** основы макетирования микроэлектронных средств различной сложности и уровней абстракции;
- **уметь:** построить и анализировать аппаратные и программные макеты микроэлектронных схем и использовать их при проектировании электронных средств;
- **владеть:** навыками применения методов и средств макетирования при автоматизированном проектировании микроэлектронных средств.

1.2. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Дисциплина «Макетирование микроэлектронных средств» тесно взаимосвязан с такими дисциплинами учебного плана, как «Встроенные системы», «Гестопригодное проектирование микроэлектронных средств».

1.3. Требования к исходным уровням знаний, умений и навыков студентов для прохождения дисциплины (что должен знать, уметь и владеть студент для прохождения данной дисциплины)

Для прохождения данной дисциплины студент должен

- **знать:** основы алгебры логики, электроники и моделирования электронных средств;
- **уметь:** анализировать и моделировать простейшие логические схемы;
- **владеть:** навыками автоматизированного проектирования, способами моделирования цифровых схем.

1.4. Предварительное условие для прохождения (дисциплина(ы), изучение которых является необходимой базой для освоения данной дисциплины)

Для освоения дисциплины «Макетирование микроэлектронных средств» у студентов должна быть устойчивая база знаний, изученных на предыдущем курсе дисциплин: «Информатика», «Введение в проектирования интегральных схем», «Конструирование электронных средств на базе программируемых БИС», «Логическое проектирование электронных средств».

2. Содержание

2.1. Цели и задачи дисциплины

Изучение основных принципов и методов макетирования микроэлектронных средств, а также особенностей и различий аппаратных и программных принципов макетирования.

2.2. Требования к уровню освоения содержания дисциплины (какие компетенции (знания, умения и навыки) должны быть сформированы у студента после прохождения данной дисциплины)

В результате освоения данной дисциплины у студента должны быть сформированы следующие компетенции:

универсальные компетенции (УК):

- способен осуществлять критический анализ проблемных ситуаций на основе системного подхода, выработать стратегию действий (УК-1)

общепрофессиональные компетенции (ОПК):

- способен представлять современную научную картину мира, выявлять естественнонаучную сущность проблем, определять пути их решения и оценивать эффективность сделанного выбора (ОПК-1)
- способен разрабатывать и применять специализированное программно-математическое обеспечение для проведения исследований и решения инженерных задач (ОПК-4)

2.3. Трудоемкость дисциплины и виды учебной работы (в академических часах и кредитах)

2.3.1. Объем дисциплины и виды учебной работы

Виды учебной работы	Всего, в акад. часах
1.Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	180/5кред
1.1. Аудиторные занятия, в т. ч.:	
1.1.1. Лекции	18
1.1.2. Практические занятия	34
1.2. Самостоятельная работа, в т.ч.:	86
Итоговый контроль <u>Экзамен</u>	42

2.3.2. Распределение объема дисциплины по темам и видам учебной работы

Разделы и темы дисциплины	Всего (ак. часов)	Лекции (ак. часов)	Практ. зан. (ак. часов)
1	2	3	4
Модуль 1.			
Введение Раздел 1. Обзор и изучение современных средств проектирования цифровых систем			
Тема 1.1. Представление фирма-производителей современных средств проектирования.	1	1	
Тема 1.2. Однократно программируемые логические устройства	6	2	4
Тема 1.3. Многократно программируемые логические устройства (ПЛИС)	7	2	5
Тема 1.4. Сравнение и анализ современных ПЛИС – FPGA, CPLD	7	2	5
Тема 1.5. Маршрутизаторы и трассировочные ресурсы ПЛИС	6	2	4
Модуль 2.			
Раздел 2. Современные ПЛИС семейства Spartan (Spartan-6) и Virtex (Virtex6, Virtex7)			
Тема2.1 Программируемая секция SLICEL	5	1	4
Тема2.2 Программируемая секция SLICEM	5	1	4
Тема2.3. Способы макетирования на FPGA	7	3	4
Тема2.4. Этапы макетирования на FPGA	8	4	4
ИТОГО	52	18	34

2.3.3 Содержание разделов и тем дисциплины

Основные разделы:

- цели макетирования электронных схем;
- обзор методов макетирования электронных схем;
- способы макетирования электронных схем;
- уровни макетирования электронных схем;
- макетирование на ПЛИС;
- моделирование цифровых устройств;
- логическое проектирование;
- проектирование цифровых устройств.

Модуль 1.

Раздел 1. Введение

Краткий исторический очерк учения о средствах проектирования цифровых систем

Раздел 1. Обзор и изучение современных средств проектирования цифровых систем.

Тема 1.1. Представление ведущих фирма-производителей современных средств проектирования. Сравнение и анализ ПЛИС фирм Xilinx и Altera. Сравнение и анализ моделирующих и синтезирующих пакетов ISEDesign (фирма Xilinx) и QuartusII (фирма Altera).

Тема 1.2. Однократно проектируемые логические устройства

Классификация программируемых логических устройств. Простые и сложные программируемые логические устройства. Программируемые логические матрицы. Технологии однократного программирования.

Тема 1.3. Многократно программируемые логические устройства (ПЛИС). Технологии многократного программирования. Конфигурируемые логические блоки (CLB). Секции в CLB. Базовые единицы программирования в FPGA и в CPLD.

Тема 1.4. Сравнение и анализ современных ПЛИС – FPGA, CPLD

Сравнение способов программирования на FPGA и CPLD. Сравнение и анализ быстродействия программирования на FPGA и CPLD. Сравнение и анализ использования ресурсов FPGA и CPLD при макетировании

Тема 1.5. Маршрутизаторы и трассировочные ресурсы ПЛИС.

Реализация межблочных связей в FPGA. Реализация связей между разными секциями одного блока FPGA. Реализация трассировок в FPGA.

Модуль 2.

Раздел 2. Современные ПЛИС семейства Spartan (Spartan-6) и Virtex (Virtex6, Virtex7)

Тема 2.1. Программируемая секция SLICEL ПЛИС семейства Spartan и Virtex.

Структура и адресные входы секции SLICEL. Способы реализации (макетирования) комбинационной логики с использованием секции SLICEL

Тема 2.2. Программируемая секция SLICEM. Структура и адресные входы секции SLICEM. Способы реализации (макетирования) комбинационной логики и памяти с использованием секции SLICEM

Тема 2.3. Способы макетирования на FPGA. Представление условно-логического способа проектирования. Составление RTL-описания на языке описания аппаратуры (VHDL, VerilogHDL).

Тема 2.4. Этапы макетирования на FPGA. Составление RTL-описания на языке описания аппаратуры. Этапы синтеза и представление RTL- и технологической схем. Создание констрейнов (.usf) соответствия входных и выходных сигналов. Имплементация и размещение проектируемой схемы на матрице FPGA. Конфигурация FPGA.

2.3.4. Краткое содержание практических занятий

Раздел 1.

1. Описание $n=3,4,..$ адресной PROM памяти и макетирование на FPGA.

Составление Verilog описания для $n=3,4,..$ адресной PROM памяти, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на LED-ах.

2. Описание кодопреобразователя двоичного кода на семисегментном индикаторе и макетирование на FPGA.

Составление Verilog описания для кодопреобразователя двоичного кода семисегментном индикаторе, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на семисегментном индикаторе.

3. Описание сдвигающего BarrelShifter регистра и макетирование на FPGA.

Составление Verilog описания для сдвигающего BarrelShifter регистра, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на LED-ах.

Раздел 2.

4. Описание суммирующего/ вычитающего счетчика и макетирование на FPGA.

Составление Verilog описания для суммирующего/ вычитающего счетчика, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на семисегментном индикаторе.

5. Описание счетчика Джонсана и макетирование на FPGA.

Составление Verilog описания для счетчика Джонсана, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на LED-ах.

6. Описание автомата реализующего “бегущую строку” и макетирование на FPGA.

Составление Verilog описания для автомата реализующего “бегущую строку”, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на LED-ах.

7. Описание автомата меняющего свои состояния в определенном порядке и макетирование на FPGA.

Составление Verilog описания для автомата меняющего свои состояния в определенном порядке, составление констрейн файла для данного описания, генерация бит-файла и макетирование на FPGA с отображением выходных сигналов на LED-ах.

2.4. Материально-техническое обеспечение дисциплины

Аудитория обеспечена компьютерами, в которых установлен программно-синтезирующий пакет ISEDesign фирмы Xilinx, оборудована FPGA бордами фирмы Xilinx, со встроенными FPGA семейства Spartan-6, и необходимой учебно-методической литературой

2.5. Распределение весов по модулям и формам контроля

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
	M1	M2	M3	M1	M2	M3		
Вид учебной работы/контроля								
Контрольная работа		1	1		1	1		
Лабораторные работы								
Устный опрос								
Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей							0.5	
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							0.5	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.4
Экзамен(оценка итогового контроля)								0.6
			$\Sigma = 1$			$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

3. Теоретический блок

3.1. Материалы по теоретической части курса

3.1.1. Учебники

1. А.Ю. Попов. Проектирование цифровых устройств с использованием ПЛИС
2. Патрик Гёлль, Электронные устройства с программируемыми компонентами. 2003г. - 2003 Кб
3. Бродин В. Б., Калинин А. В., Системы на микроконтроллерах и БИС программируемой логики. 2006г. - 5152 Кб

3.1.2. Электронные материалы

1. http://de.ifmo.ru/bk_netra/page.php?tutindex=25&index=43
2. http://radiottract.ru/book_digital_004.html

4. Практический блок

4.1. Планы практических занятий

1. Описание кодопреобразователя двоичного кода на семисегментном индикаторе и макетирование на FPGA.
2. Описание сдвигающего BarrelShifter регистра и макетирование на FPGA.
3. Описание суммирующего/ вычитающего счетчика и макетирование на FPGA.
4. Описание автомата реализующего “бегущую строку” и макетирование на FPGA.
5. Описание автомата меняющего свои состояния в определенном порядке и макетирование на FPGA.

5. Материалы по оценке и контролю знаний

5.1. Тематика самостоятельных работ: самостоятельно разработать и макетировать на FPGA

1. Детекторы различных входных последовательностей,
2. Реверсивные счетчики по модулю M,
3. Дорожный светофор по модулю 10.

5.2. Перечень экзаменационных вопросов

1. Сложные программируемые устройства
2. FPGA. Классические FPGA. Обобщенная структура FPGA.
3. Конфигурируемые логические блоки.
4. FPGA семейства Virtex-6 .. Virtex-7.

5. Секции SLICELиSLICEM.
6. Анализ современных ПЛИС – FPGA, CPLD
7. Сравнение современных ПЛИС – FPGA, CPLD
8. Реализация межблочных связей в FPGA.
9. Реализация связей между разными секциями одного блока FPGA.
10. Реализация трассировок в FPGA.
11. Способы макетирования на FPGA.
12. Представление условно-логического способа проектирования.
13. Этапы макетирования на FPGA.

5.3. Образец экзаменационного билета

БИЛЕТ

1. FPGA семейства Virtex-6 .. Virtex-7.
2. Реализация связей между разными секциями одного блока FPGA.

Задача 1.

Реализовать на FPGA вычитающий счетчик по модулю 6.

Задача 2.

Реализовать на FPGA детектор входной последовательности 100010/1.